

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-143689

(43)Date of publication of application : 15.06.1988

(51)Int.Cl.

G06K 17/00

G06F 12/06

(21)Application number : 61-290807

(71)Applicant : TOKYO ELECTRIC CO LTD

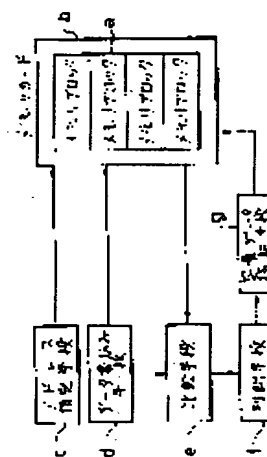
(22)Date of filing : 06.12.1986

(72)Inventor : MATSUSHITA TAKESHI

(54) CAPACITY DETECTOR FOR MEMORY CARD**(57)Abstract:**

PURPOSE: To easily decide the capacity of a semiconductor memory by deciding the capacity of the semiconductor in a memory card by software processing such as data writing, rading and comparing and storing the once decided capacity of the semiconductor in its memory.

CONSTITUTION: A specific address in each memory block of the semiconductor memory (a) is specified by an address specifying means (c) and respectively different data are written by a data writing means (d). The written data are read out and compared with data obtained before writing by a comparing means (e), and at the time of coincidence of data, the formation of a memory block is decided. At the time of discrepancy of data, no formation of a memory block is decided and the capacity of the memory (a) is decided by a deciding means (f). The capacity data of the memory (a) decided by the means (f) are stored in the specific area of the memory (a) so that the succeeding capacity decision can be made easy.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

昭63-143689

⑤ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)6月15日

G 06 K 17/00
G 06 F 12/06B-6711-5B
A-6711-5B

審査請求 未請求 発明の数 2 (全9頁)

⑭ 発明の名称 メモリカードの容量検出装置

⑰ 特 願 昭61-290807

⑱ 出 願 昭61(1986)12月6日

⑲ 発 明 者 松 下 剛 静岡県田方郡大仁町大仁570番地 東京電気株式会社大仁工場内
⑳ 出 願 人 東京電気株式会社 東京都目黒区中目黒2丁目6番13号
㉑ 代 理 人 弁理士 鈴江 武彦 外2名

明 細 書

1. 発明の名称

メモリカードの容量検出装置

2. 特許請求の範囲

(1) 容量が一定なメモリブロック単位毎にアドレスが設定され、読み出し及び書き込みが可能な半導体メモリを内蔵したメモリカードと、前記半導体メモリの各メモリブロック内の特定アドレスを指定するアドレス指定手段と、前記半導体メモリの初期化時において前記アドレス指定手段で指定される各メモリブロック内の特定アドレスにそれぞれ異なるデータを書込むデータ書き込み手段と、このデータ書き込み手段で一旦書込んだ各データを読み出してそれぞれ書き込む前のデータと比較する比較手段と、この比較手段の比較結果から前記半導体メモリの容量を判断する判断手段とを設けたことを特徴とするメモリカードの容量検出装置。

(2) 容量が一定なメモリブロック単位毎にアドレスが設定され、読み出し及び書き込みが可能な半導体メモリを内蔵したメモリカードと、前記半導体メ

モリの各メモリブロック内の特定アドレスを指定するアドレス指定手段と、前記半導体メモリの初期化時において前記アドレス指定手段で指定される各メモリブロック内の特定アドレスにそれぞれ異なるデータを書込むデータ書き込み手段と、このデータ書き込み手段で一旦書込んだ各データを読み出してそれぞれ書き込む前のデータと比較する比較手段と、この比較手段の比較結果から前記半導体メモリの容量を判断する判断手段と、この判断手段で判断された容量データを前記半導体メモリの特定エリアに格納する容量データ格納手段を設けたことを特徴とするメモリカードの容量検出装置。

3. 発明の詳細な説明

[産業上の利用分野]

この発明は、容量が一定なメモリブロック単位毎にアドレスが設定され、読み出し及び書き込みが可能な半導体メモリを内蔵したメモリカードの容量検出装置に関する。

[従来の技術]

従来、メモリカードとしては例えば第10図及

び第11図に示すものが知られている。すなわち第10図に示すものは、半導体メモリ1を内蔵したメモリカードAに例えば3本の特定のコネクタピン2a、2b、2cを設け、その各コネクタピンにそれぞれ信号線を接続し、その信号線にスイッチ3a、3b、3cによって「1」、「0」のビット信号を出力し、コネクタピン2a、2b、2c全体でメモリの容量をコードとして出力させるものである。すなわち、これは3ビットのコードとして半導体メモリ1の容量を示すことができるので、各スイッチ3a、3b、3cの操作によって8種類の容量を示すことができる。

また第11図に示すものは、4つのメモリブロック4、5、6、7によって構成された半導体メモリ8と、フルデコード回路9がメモリカードA'に内蔵され、フルデコード回路9によって入力されるアドレスデータのすべてをデコードするようになっている。なお、フルデコード回路9からは各メモリブロック4〜7に対してチップインーブルCS₀、CS₁、CS₂、CS₃が入力さ

- 3 -

あっても構成の複雑なフルデコード回路を持つ必要があり、経済性が悪い問題があった。

そこで本発明は、メモリカード内の半導体メモリの容量をデータの書き込み、読み出し、比較というソフトウェア的処理によって判断でき、しかも経済性を向上できるメモリカードの容量検出装置を提供することを目的とする。

またこの発明は、一度判断した半導体メモリの容量をそのメモリに格納することによってその後、容量判断が容易にできるメモリカードの容量検出装置を提供することを目的とする。

〔問題点を解決するための手段〕

この発明は、第1図に示すように、容量が一定なメモリブロック単位毎にアドレスが設定され、読み出し及び書き込みが可能な半導体メモリaを内蔵したメモリカードbと、半導体メモリaの各メモリブロック内の特定アドレスを指定するアドレス指定手段cと、半導体メモリaの初期化時においてアドレス指定手段cで指定される各メモリブロック内の特定アドレスにそれぞれ異なるデータを

れている。

従ってこのメモリカードA'においては、例えばメモリブロック7が無い状態でそのメモリブロック7の特定アドレスにデータを書込み、それを読み出して書き込む前のデータと比較するとデータの一致が取れないのでメモリブロック7が無いと判断され、例えば1つのメモリブロックが8Kバイトであればこのメモリカードの容量は24Kバイトであると判断される。

〔発明が解決しようとする問題点〕

しかし前者のものはメモリカードA内にスイッチ3a、3b、3c及び信号線を設けなければならず、またメモリカードの容量の種類が増加するとスイッチ及び信号線を追加しなければならず、メモリカードの構成が複雑化するとともに容量変更のための作業が面倒となり、また機械的接点を使用するため信頼性も悪い問題があった。

また、後者のものはフルデコード回路を使用してアドレスデータをすべてデコードするため、たとえメモリブロックが1つしか使用しないもので

- 4 -

書き込むデータ書き込み手段dと、このデータ書き込み手段dで一旦書込んだ各データを読み出してそれぞれ書き込む前のデータと比較する比較手段eと、この比較手段eの比較結果から半導体メモリaの容量を判断する判断手段fとを設けたものである。

またこの発明は、判断手段fで判断された容量データを半導体メモリaの特定エリアに格納する容量データ格納手段gを設けたものである。

〔作用〕

このような構成の本発明においては、アドレス指定手段cにて半導体メモリaの各メモリブロック内の特定アドレスを指定してデータ書き込み手段dにてそれぞれ異なるデータを書き込む。そして書き込んだデータを読み出して比較手段eで書き込む前のデータと比較し、データが一致すればメモリブロックが設けられていると判断し、また一致しなければメモリブロックが設けられていないと判断し判断手段fで半導体メモリaの容量を判断する。

またこの発明では判断手段fで判断した半導体

- 6 -

メモリaの容量データをそのメモリaの特定エリアに格納しその後の容量判断を容易にする。

〔実施例〕

以下、この発明の一実施例を図面を参照して説明する。なお、この実施例はこの発明を電子タイプライターに適用したものについて述べる。

第2図において、11は制御部本体を構成するCPU、12はこのCPU11が各部を制御するためのプログラムデータが格納されたROM、13は入力データや印字データを格納するメモリ、後述する各種レジスタ等各種のデータ処理用メモリを設けたRAM、14はタイプライターとしてのフルキーボード15及びプリンタ16が接続されたI/Oポート、17はタイプライター装置本体に対して挿脱自在に設けられた外部記憶装置を構成するメモリカードである。

前記CPU11に対して前記ROM12、RAM13、I/Oポート14及びメモリカード17はデータ・バスライン18及びアドレス・バスライン19を介して接続されている。前記

- 7 -

リブロック単位アドレスY、すなわち「Y=8000番地」を加算してX=8000とする。次にS₅でレジスタAの値「2」をアドレスX=8000番地で指定されるメモリカード17の半導体メモリに書込む。そして書込んだ後S₆でそのアドレスXからデータを読み出してレジスタBに格納する。

次にS₇でレジスタAとレジスタBの値を比較する。そして両者が一致していなければエラーにする。また一致していれば次のS₈でレジスタAの値から「-1」し、またアドレスXからY=8000番地を減算する。次にS₉でアドレスXで指定されるメモリカード17の半導体メモリからデータを読み出してレジスタBに格納する。

次にS₁₀でレジスタAとレジスタBの値を比較する。そして両者が一致していればS₁₁で64Kバイトを示す定数「64」をレジスタCにセットする。また一致していなければS₁₂でレジスタAの値に+1した内容とレジスタBの値を比較する。そして両者が一致していなければエラーにする。また両者が一致していればS₁₃で

- 9 -

CPU11は前記メモリカード17に対してメモリカードイネーブル信号ENSを供給するようにしている。

前記メモリカード17には複数のメモリブロックからなる半導体メモリが収納されているが、例えば32Kバイトのメモリブロック1個からなる32Kバイトの半導体メモリ17₁は第3図に示すようにA₀~A₁₅の16本のアドレスラインのうちA₁₅をNCとし、また32Kバイトのメモリブロック2個からなる64Kバイトの半導体メモリ17₂は第4図に示すようにA₀~A₁₅の16本すべてをアドレスラインとしている。

前記CPU11はメモリカード17が接続されている状態で動作を開始すると第5図に示すメモリカードの初期化処理を行う。これは先ずS₁でレジスタAに「1」をセットする。次にS₂でレジスタAの値をアドレスX、例えば「0000番地」で指定されるメモリカード17の半導体メモリに書込む。次にS₃でレジスタAの値を1つインクリメントする。次にS₄でアドレスXに最小メモ

- 8 -

32Kバイトを示す定数「32」をレジスタCにセットする。そして最後にレジスタCの内容をメモリカード17における半導体メモリの特定エリアに格納する。

なお、この処理においてエラーが検出されたときにはメモリカードに障害があるか、あるいはカード自体が挿入されていないと判断する。

このような構成の本実施例において、例えば第3図に示す32Kバイトの半導体メモリ17₁を有するメモリカード17を挿入した場合、そのメモリブロックは第6図に示すように32KバイトのメモリブロックMB₁が1個のみでアドレス「8000番地」~「FFFF番地」に対応する部分にはメモリブロックは存在していない。従ってこの部分はアドレス「0000番地」~「8000番地」の虚像となっている。

従ってこのようなメモリカード17に対して初期化を行うと、先ずA=1がアドレス「0000番地」すなわちメモリブロックMB₁の先頭番地に書込まれる。次にA=2として「8000番地」に書込む

- 10 -

が、実際にはこのアドレスはなく前回と同じ「0000番地」に「2」が書込まれる。すなわち、データが「1」から「2」に変更されたことになる。この状態でアドレス「8000番地」を指定してデータを読み出すがこのときも実際には「0000番地」が指定されてデータ「2」が読み出される。しかして $A = 2$ 、 $B = 2$ で両者は一致する。

この状態で $A = 1$ に減算し、かつ $X - Y$ でアドレスを8000番地から0000番地に変更する。そして $B = A$ の一致をチェックするが、0000番地には「2」が書込まれているため一致せず、続いてレジスタ A の値を $+1$ して比較する。今度は $A = 2$ 、 $B = 2$ で一致するため半導体メモリ171の容量は32Kバイトであると判断してレジスタ C に「32」をセットする。そして最後に半導体メモリ171の特定エリアに「32」を格納する。

また、例えば第4図に示す64Kバイトの半導体メモリ172を有するメモリカード17を挿入した場合、そのメモリブロックは第7図に示すように32Kバイトのメモリブロック MB_1 、

- 11 -

かつ読み出して比較するソフトウェア的処理によって内蔵されている半導体メモリに容量を検出することができる。従ってメモリカード内に容量検出のためにスイッチや信号線を組込む必要はなく、メモリカードの構成は簡単であり、信頼性も高い。

また、最終的に求めた容量をメモリカード17における半導体メモリの特定エリアに格納しているので、その後このメモリカードを使用するときにはまずその特定エリアを読み出すようにすれば容量を簡単に知ることができることになる。

なお、前記実施例ではメモリブロックを最大2個の場合について述べたが例えば最大4個使用できる半導体メモリを有するものにおいても同様の処理によって実現できる。例えば16Kバイトのメモリブロックを4個使用した場合を例にとると、CPU11は第8図に示すメモリカードの初期化処理を行えばよい。この処理も基本的には先ずレジスタ A の値を1つずつインクリメントし、かつアドレス X を最小メモリブロックアドレス分 Y 加算して各メモリブロックにレジスタ A の値を順次

- 13 -

MB_2 2個で構成されるため今度はアドレス「8000番地」～「FFFF番地」が実際に存在することになる。

従ってこのようなメモリカード17に対して初期化を行うと、先ず $A = 1$ がアドレス「0000番地」、すなわちメモリブロック MB_1 の先頭番地に書込まれる。次に $A = 2$ として「8000番地」、すなわちにメモリブロック MB_2 の先頭番地に書込まれる。この状態でアドレス「8000番地」を指定してデータを読み出す。しかして $A = 2$ 、 $B = 2$ で両者は一致する。

この状態で $A = 1$ に減算し、かつ $X - Y$ でアドレスを8000番地から0000番地に変更する。そして $B = A$ の一致をチェックする。0000番地には「1」が書込まれているためこのときも $A = 1$ 、 $B = 1$ で一致するため半導体メモリ172の容量は64Kバイトであると判断してレジスタ C に「64」をセットする。そして最後に半導体メモリ172の特定エリアに「64」を格納する。

このようにメモリカード17にデータを書込み、

- 12 -

書込む処理を行なう。そして最終メモリブロックにレジスタ A の値を書込んだ後そのデータを読み出してレジスタ B に格納し、続いてアドレス $X - X - Y$ にして3つ目のメモリブロックからデータを読み出してレジスタ C に格納する。続いてアドレス $X - X - Y$ にして2つ目のメモリブロックからデータを読み出してレジスタ D に格納し、さらにアドレス $X - X - Y$ にして1つ目のメモリブロックからデータを読み出してレジスタ E に格納する。そして各レジスタ B 、 C 、 D 、 E の値をそれぞれ比較し、 $B = C = D = E = 4$ であれば半導体メモリのメモリブロックは1個で16バイトであると判断する。また $B = D = 3$ 、 $C = E = 4$ であれば半導体メモリのメモリブロックは2個で32バイトであると判断する。さらに $B = 1$ 、 $C = 2$ 、 $D = 3$ 、 $E = 4$ であれば半導体メモリのメモリブロックは4個で64バイトであると判断する。

次にこの発明の他の実施例を図面を参照して説明する。

これは第9図に示すように半導体メモリに4K

- 14 -

バイトのメモリブロックを5個MB₁、MB₂、MB₃、MB₄、MB₅設け、この各メモリブロックMB₁～MB₅をアドレスラインA₀～A₁₁を使用してアドレス指定し、またメモリブロックMB₁～MB₄のチップセレクトをアドレスラインA₁₂～A₁₄から信号入力を受けるデコード回路21を介して行うとともにメモリブロックMB₅のチップセレクトをアドレスラインA₁₄からの信号をインバータ22を介して行うようにしている。

このものにおいてはアドレスラインA₁₂～A₁₄を介してブロックナンバーを「1」から順に指定してデータ「1」から順に書込み、それを読み出して比較すると、ブロックナンバーが「1」～「4」まではメモリブロックMB₁～MB₄を順次セレクトできるので、データ「1」～「4」を順次書込み、それを読み出して比較することによってデータの一致を取ることができる。しかし、ブロックナンバー「5」「6」「7」についてはセレクトすべきメモリブロックが存在しない

- 15 -

ので書込みデータが「5」「6」「7」であっても読出しデータはすべて「8」となってしまう不一致となる。そしてブロックナンバーが「8」のとき書込みデータ「8」と読出しデータ「8」の一致を取ることができる。

従ってこのものにおいても設けられているメモリブロックは5個であると判断されメモリ容量20Kバイトが検出される。そしてこの実施例に使用されるデコード回路はフルレコード回路ではなく3本のアドレスラインを入力するのみの簡単な回路で済む。

勿論、このものにおいても前記実施例と同様の効果が得られるものである。

〔発明の効果〕

以上詳述したようにこの発明によれば、メモリカード内の半導体メモリの容量をデータの書き込み、読み出し、比較というソフトウェア的処理によって判断でき、しかも経済性を向上できるメモリカードの容量検出装置を提供できるものである。

またこの発明は、一度判断した半導体メモリの

- 16 -

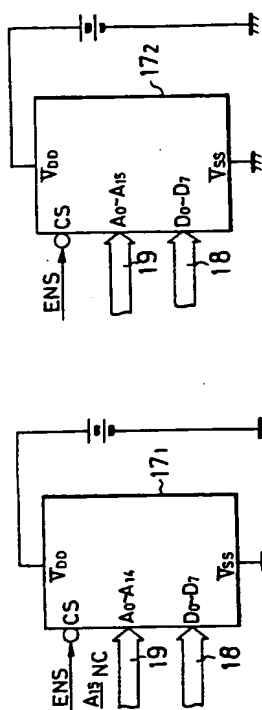
容量をそのメモリに格納することによってその後、容量判断が容易にできるメモリカードの容量検出装置を提供できるものである。

4. 図面の簡単な説明

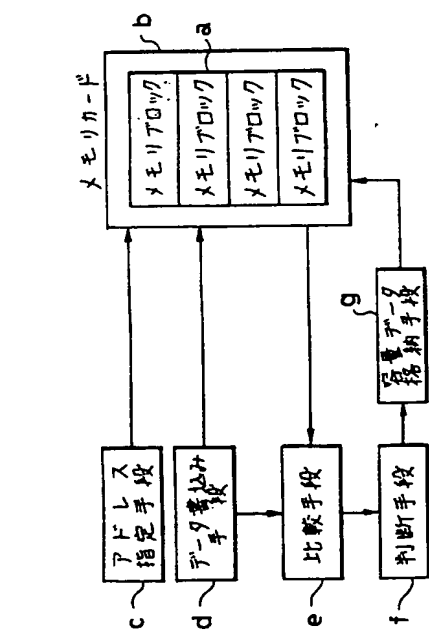
第1図はこの発明の構成を説明するための機能ブロック図、第2図～第7図はこの発明の一実施例を示すもので、第2図はブロック図、第3図及び第4図は半導体メモリを示す図、第5図はCPUによるメモリカードの初期化処理を示す流れ図、第6図及び第7図は半導体メモリにおけるメモリブロックとアドレスとの関係を示す図、第8図は半導体メモリにメモリブロックを4個まで設けることができる場合のCPUによるメモリカードの初期化処理を示す流れ図、第9図はこの発明の他の実施例を示すブロック図、第10図及び第11図はメモリカードの従来例を示すブロック図である。

11…CPU、12…ROM、13…RAM、17…メモリカード、17₁、17₂…半導体メモリ。

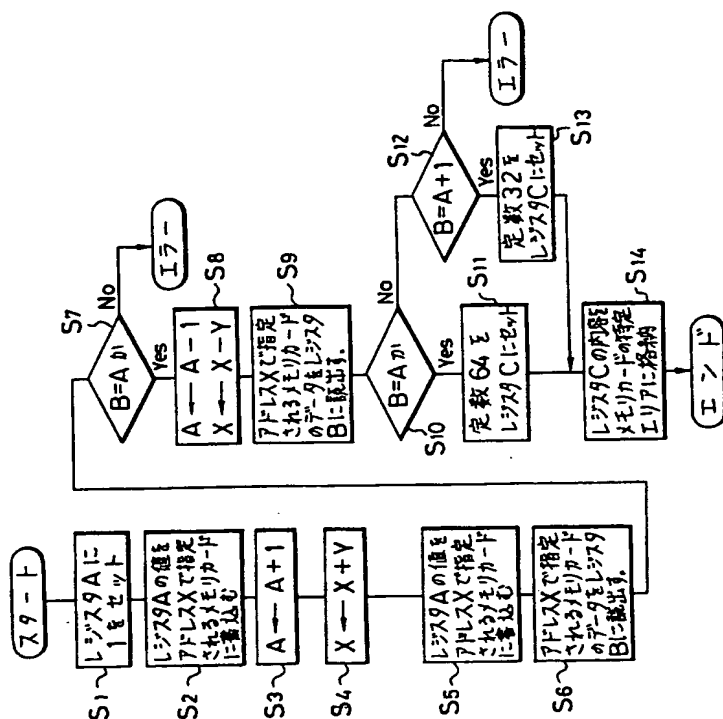
- 17 -



第 3 図

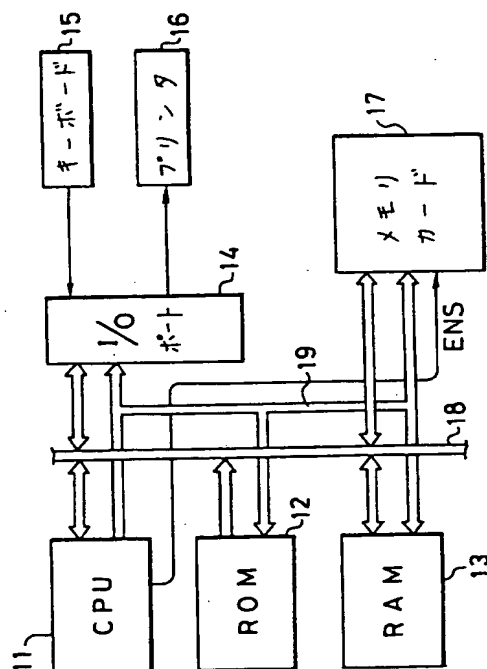


第 4 図

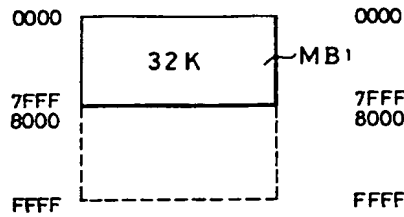


第 5 図

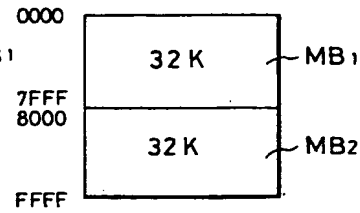
第 1 図



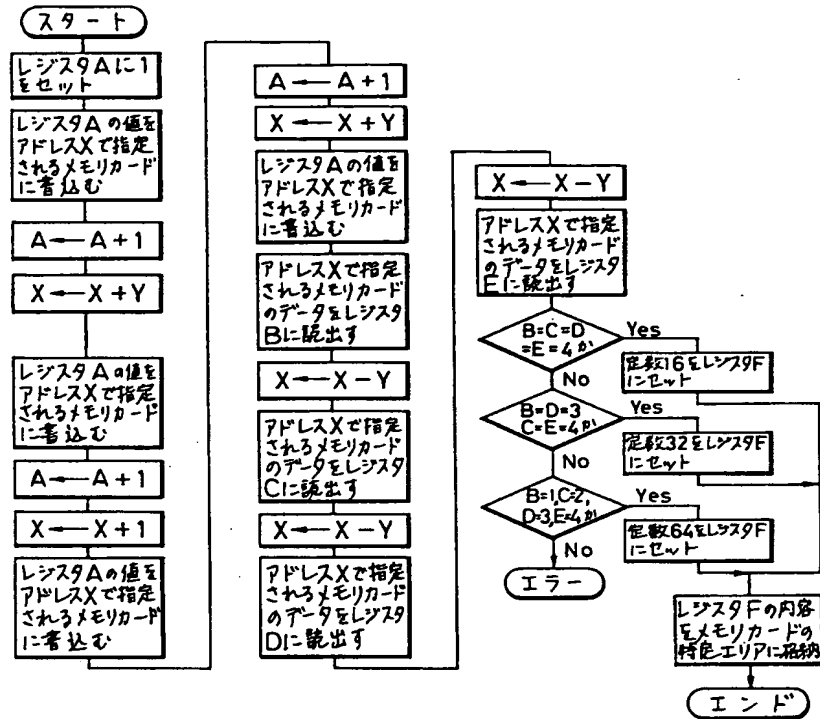
第 2 図



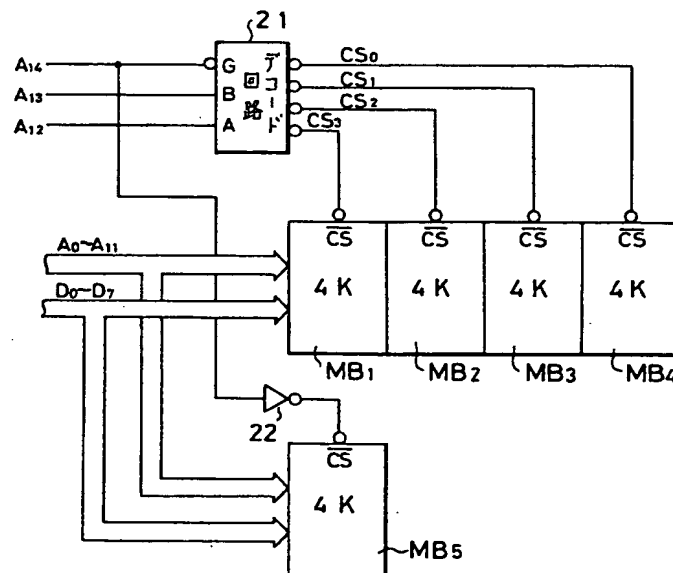
第 6 図



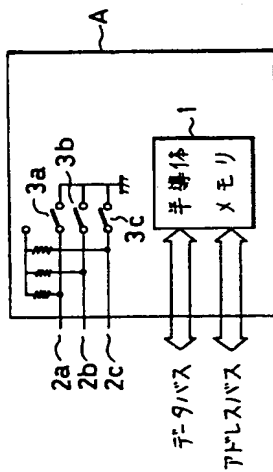
第 7 図



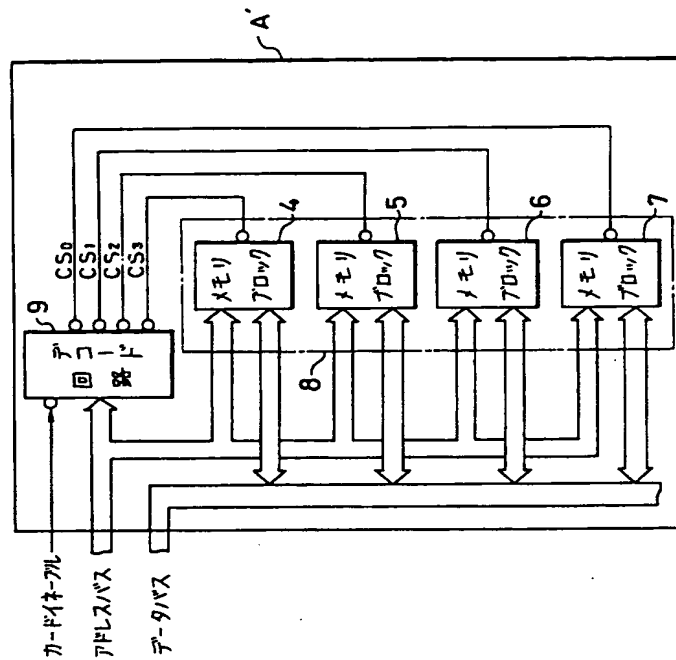
第 8 図



第 9 図



第10図



第11図

手続補正書

昭和62年10月23日

特許庁長官 小川 邦夫 殿

1. 事件の表示

特願昭61-290807号

2. 発明の名称

メモ리카ードの容量検出装置

3. 補正をする者

事件との関係 特許出願人

(356) 東京電気株式会社

4. 代理人

東京都千代田区霞が関3丁目7番2号 UBEビル

〒100 電話03(502)3181(大代表)

(5847) 弁理士 鈴江 武彦

5. 自発補正

6. 補正の対象

明細書、図面

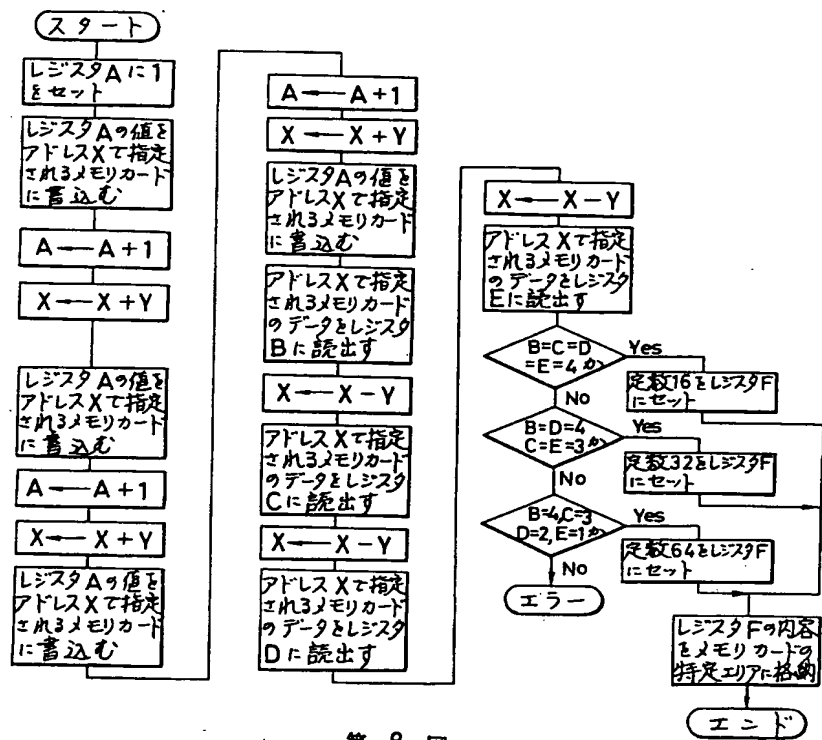
7. 補正の内容

- (1) 明細書第14頁第13行目に「B-D-3、C-E-4」とあるを「B-D-4、C-E-3」と訂正する。
- (2) 明細書第14頁第15行目から第16行目に互って「B=1、C=2、D=3、E=4」とあるを「B=4、C=3、D=2、E=1」と訂正する。
- (3) 明細書第14頁第12行目、第15行目、第17行目にそれぞれ「バイト」とあるを「Kバイト」と訂正する。
- (4) 図面の第8図を別紙図面の通り訂正する。



方 式 登 記





第 8 圖